

PCT
WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



(51) Internationale Patentklassifikation ⁵ :

H01L 21/76

A1

(11) Internationale Veröffentlichungsnummer: WO 94/27317

(43) Internationales

Veröffentlichungsdatum:

24. November 1994 (24.11.94)

(21) Internationales Aktenzeichen: PCT/DE94/00484

(22) Internationales Anmeldedatum: 2. Mai 1994 (02.05.94)

(30) Prioritätsdaten:

P 43 15 063.2

6. Mai 1993 (06.05.93)

DE

Veröffentlicht

Mit internationalem Recherchenbericht.

(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS
AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2,
D-80333 München (DE).

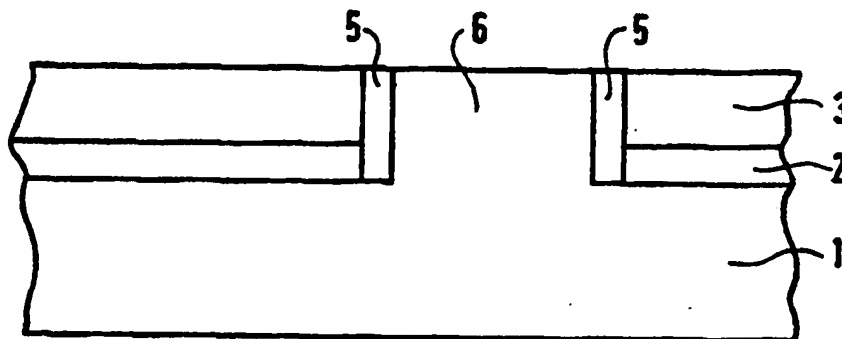
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): WINNERL, Josef [DE/DE];
Stefan-George-Ring 49, D-81929 München (DE). NEPPL,
Franz [DE/DE]; Laurinweg 11, D-85521 Ottobrunn (DE).

(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT,
BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL,
PT, SE).

(54) Title: PROCESS FOR PRODUCING COMPONENTS ON AN SOI SUBSTRATE

(54) Bezeichnung: HERSTELLUNGSVERFAHREN FÜR BAUELEMENTE AUF SOI-SUBSTRAT



(57) Abstract

A process for producing a silicon component with SOI and bulk functional units in which the thin silicon layer (3) and the insulation layer (2) of an SOI substrate (1) are etched away in the regions intended for the bulk functional elements and the bulk functional elements are produced in the regions of these apertures.

(57) Zusammenfassung

Verfahren zur Herstellung eines Siliziumbauelementes mit SOI-Funktionselementen und Bulk-Funktionselementen, bei dem die dünne Siliziumschicht (3) und die Isolatorschicht (2) eines SOI-Substrates (1) in für die Bulk-Funktionselemente vorgesehenen Bereichen weggeätzt werden und in den Bereichen dieser Öffnungen (4) die Bulk-Funktionselemente hergestellt werden.

BEST AVAILABLE COPY

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	GA	Gabon	MR	Mauretanien
AU	Australien	GB	Vereinigtes Königreich	MW	Malawi
BB	Barbados	GE	Georgien	NE	Niger
BE	Belgien	GN	Guinea	NL	Niederlande
BF	Burkina Faso	GR	Griechenland	NO	Norwegen
BG	Bulgarien	HU	Ungarn	NZ	Neuseeland
BJ	Benin	IE	Irland	PL	Polen
BR	Brasilien	IT	Italien	PT	Portugal
BY	Belarus	JP	Japan	RO	Rumänien
CA	Kanada	KE	Kenya	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	KG	Kirgisistan	SD	Sudan
CG	Kongo	KP	Demokratische Volksrepublik Korea	SE	Schweden
CH	Schweiz	KR	Republik Korea	SI	Slowenien
CI	Côte d'Ivoire	KZ	Kasachstan	SK	Slowakei
CM	Kamerun	LI	Liechtenstein	SN	Senegal
CN	China	LK	Sri Lanka	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
ES	Spanien	MG	Madagaskar	US	Vereinigte Staaten von Amerika
FI	Finnland	ML	Mali	UZ	Usbekistan
FR	Frankreich	MN	Mongolei	VN	Vietnam

Herstellungsverfahren für Bauelemente auf SOI-Substrat

5

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung von Halbleiterbauelementen auf SOI-Substraten, die zusätzlich zu den SOI-Funktionselementen weitere integrierte Funktionselemente in Bulk-Silizium enthalten.

10

CMOS-Transistoren auf SOI-Substrat, insbesondere solche mit vollständig verarmtem Kanalbereich, sind insbesondere bei Kanallängen unter $0,25\ \mu\text{m}$ und für Anwendungen mit extrem niedriger Versorgungsspannung und Verlustleistung von Bedeutung.

15

Die verwendeten SOI-Substrate besitzen extrem dünne Siliziumschichten (ca. $50\ \text{nm}$). Diese Substrate werden mittels wafer bonding oder SIMOX hergestellt. Es ist schwierig, in derart dünnen Siliziumschichten Funktionselemente zu realisieren, die hohe Ströme abführen können. Beispiele für solche Funktionselemente sind Strukturen zum Schutz gegen elektrostatische

20

Entladungen oder Leistungselemente für Smart-Power-Anwendungen. Ein Verfahren zur gleichzeitigen Realisierung von SOI- und Bulk-Si-Funktionselementen bedient sich der SIMOX-Technik. Dabei wird nicht wie üblich eine ganze Siliziumscheibe zur Ausbildung der Isolationsschicht mit O^+ implantiert, sondern unter Verwendung einer Maske nur die Bereiche, die als SOI-Bereiche vorgesehen sind. In den übrigen Bereichen bleibt das Silizium des Substrates in voller Stärke stehen, so daß dort die Bulk-Funktionselemente integriert werden können.

30

Aufgabe der vorliegenden Erfindung ist es, ein vereinfachtes Herstellungsverfahren für die Integration von SOI-Funktionselementen und Bulk-Si-Funktionselementen auf einem Siliziumsubstrat anzugeben.

35

Diese Aufgabe wird mit dem Verfahren mit den Merkmalen des Anspruches 1 gelöst. Weitere Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

- 5 Es folgt eine Beschreibung des erfindungsgemäßen Verfahrens anhand der Figuren 1 und 2, die jeweils einen Querschnitt durch das herzustellende Bauelement nach verschiedenen Verfahrensschritten zeigen.
- 10 Bei dem erfindungsgemäßen Verfahren wird von einem üblichen SOI-Substrat ausgegangen, das z. B. mittels wafer bonding oder SIMOX hergestellt sein kann. Es wird eine Fotomaske auf der dünnen Siliziumschicht dieses Substrates aufgebracht, die diejenigen Bereiche, die für die Bulk-Si-Funktionselemente
- 15 vorgesehen sind, frei läßt. In den Öffnungen dieser Fotomaske werden die dünne Siliziumschicht 3 (s. Fig. 1) und die Isolatorschicht 2 (z. B. SiO_2) entfernt, so daß das Silizium des Substrates 1 (d. h. der Trägerscheibe) des SOI-Substrates in den entstehenden Öffnungen 4 freigelegt ist. Es können dann
- 20 mit den bekannten Herstellungsverfahren die Funktionselemente in den SOI-Bereichen und diesen freigelegten Bereichen hergestellt werden. Dieses erfindungsgemäße Verfahren hat gegenüber der eingangs beschriebenen Herstellungsmethode den Vorteil, daß die SOI-Substrate, wie sie handelsüblich geliefert
- 25 werden, verwendet werden können und beim IC-Hersteller keine kostenintensive maskierte Hochenergieimplantation mit O^+ erforderlich ist. Zu den SOI-Funktionselementen (z. B. den CMOS-Transistoren) können in den freigelegten Bereichen des Substrates 1 Bulk-Si-Funktionselemente mit hoher
- 30 Strombelastbarkeit realisiert werden, insbesondere, wenn der hohe Strom zur Rückseite des Substrates 1 hin, d. h. zu der nicht mit der Isolatorschicht 2 versehenen Oberseite, abgeführt wird. Typische Beispiele dafür sind Schutzstrukturen, wie z. B. Dioden, die Ein- und Ausgänge des
- 35 Chips vor Schäden durch elektrostatische Entladungen schützen. Die in dem SOI-Bereich ausgebildeten Funktionselemente

sind gegenüber den hohen Strömen im Substrat 1 durch die Isolatorschicht 2 isoliert.

5 Eine weitere Verbesserung des erfindungsgemäßen Verfahrens erreicht man, indem man in einem zusätzlichen Verfahrensschritt das Silizium des Substrates 1 in den Öffnungen 4 durch epitaktisches Abscheiden bis zur Höhe der dünnen Siliziumschicht 3 hin auffüllt. Die dünne Siliziumschicht 3 der SOI-Bereiche bildet dann zusammen mit diesem epitaktisch abgeschiedenen Silizium 6 (s. Fig. 2) eine planare Oberfläche. 10 Dieses epitaktisch abgeschiedene Silizium 6 kann für die Herstellung der zu integrierenden Funktionselemente mit einem geeigneten Dotierungsprofil versehen werden. Auf diese Weise können z. B. Bipolartransistoren in diesen Bereichen des 15 Substrates hergestellt werden. Um die Bulk-Si-Funktionselemente von den SOI-Funktionselementen vollständig elektrisch zu isolieren, ist es vorteilhaft, wenn vor dem epitaktischen Aufwachsen des weiteren Siliziums 6 die Flanken der dünnen Siliziumschicht 3 mit einer Dielektrikumschicht 5 (z. B. 20 SiO_2) bedeckt werden. Die dünne Siliziumschicht 3 der SOI-Bereiche ist dann zu dem Bulk-Silizium vollständig durch dielektrische Schichten elektrisch isoliert. Diese Flankenbedeckung mit einer Dielektrikumschicht 5 erhält man z. B., indem zunächst das Material dieser Dielektrikumschicht ganzflächig isotrop auf die Oberfläche der Struktur der Figur 1 ab- 25 geschieden und dann anisotrop rückgeätzt wird.

Patentansprüche:

1. Verfahren zur Herstellung eines Halbleiterbauelementes auf Silizium mit einem Substrat (1) aus Silizium und einer an einer Oberseite dieses Substrates (1) unter einer dünnen Siliziumschicht (3) vergrabenen und nur in Bereichen vorhandenen Isolatorschicht (2),
5 bei dem unter Verwendung einer Fotomaske das Silizium der oberen dünnen Siliziumschicht (3) eines SOI-Substrates und die darunterliegende Isolatorschicht (2) außerhalb dieser Bereiche entfernt werden.
10
2. Verfahren nach Anspruch 1,
bei dem zusätzlich die entfernten Anteile der Isolatorschicht (2) und der dünnen Siliziumschicht (3) durch epitaktisch abgeschiedenes Silizium (6) ersetzt werden.
15
3. Verfahren nach Anspruch 2,
bei dem vor diesem zusätzlichen Verfahrensschritt die Flanken der dünnen Siliziumschicht (3) mit einer Dielektrikumschicht (5) isoliert werden.
20
4. Verfahren nach Anspruch 2 oder 3,
bei dem das epitaktisch abgeschiedene Silizium (6) zur Herstellung von Funktionselementen mit einer Dotierung versehen wird.
25

1 / 1

FIG 1

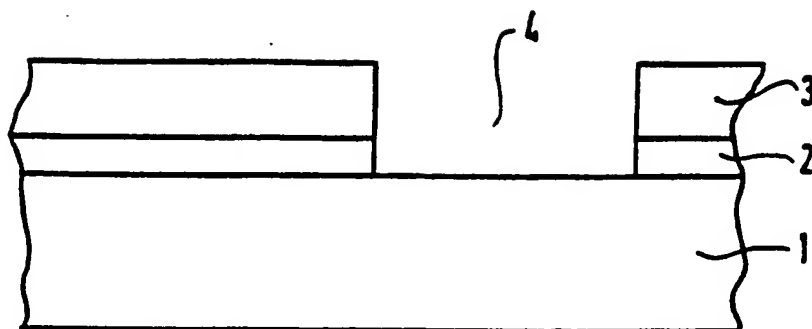
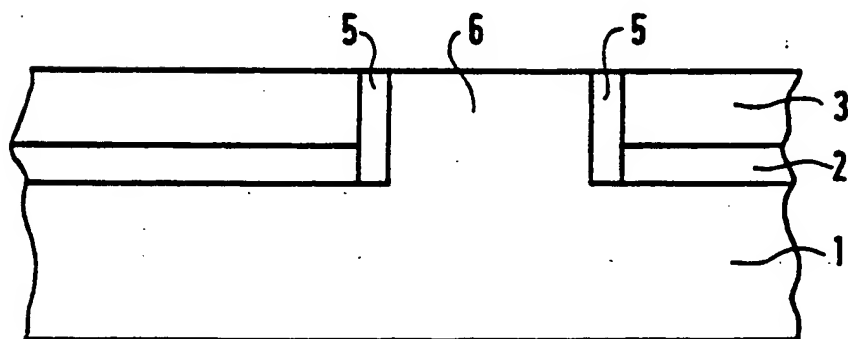


FIG 2



A. CLASSIFICATION OF SUBJECT MATTER
IPC 5 H01L21/76

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 5 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP,A,0 405 183 (NATIONAL SEMICONDUCTOR CORP.) 2 January 1991 see claims 1,7; figures 1-6	1,2,4
Y	see column 4, line 29 - line 43 ---	3
X	IBM TECHNICAL DISCLOSURE BULLETIN. vol. 25, no. 11A, April 1983, NEW YORK US pages 5672 - 5673 B. EL-KAREH ET AL. 'BIPOLAR ONE-DEVOICE RANDOM-ACCES MEMORY CELL.' see figure 1	1,2,4
Y	see page 5672, paragraph 3 ---	3
Y	US,A,4 393 574 (KABUSHI KAISHA DAINI SEIKOSHA) 19 July 1983 see claim 1	3
A	see figures 3A-3C ---	1,2,4
	--- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- 'A' document defining the general state of the art which is not considered to be of particular relevance
- 'E' earlier document but published on or after the international filing date
- 'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- 'O' document referring to an oral disclosure, use, exhibition or other means
- 'P' document published prior to the international filing date but later than the priority date claimed

- 'T' later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- 'X' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- 'Y' document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- '&' document member of the same patent family

Date of the actual completion of the international search

11 July 1994

Date of mailing of the international search report

28. 07. 94

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer:

Vancraeynest, F

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO,A,87 06060 (FAIRCHILD SEMICONDUCTOR CORP.) 8 October 1987 see claims 12-19 ---	1
A	PATENT ABSTRACTS OF JAPAN vol. 16, no. 108 (E-1179) 17 March 1992 & JP,A,03 283 636 (NIPPON SOKEN INC.) 13 December 1991 see abstract -----	1-4

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0405183	02-01-91	US-A- 4908328 JP-A- 3034347	13-03-90 14-02-91
US-A-4393574	19-07-83	NONE	
WO-A-8706060	08-10-87	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 5 H01L21/76

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

 Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 IPK 5 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP,A,0 405 183 (NATIONAL SEMICONDUCTOR CORP.) 2. Januar 1991 siehe Ansprüche 1,7; Abbildungen 1-6	1,2,4
Y	siehe Spalte 4, Zeile 29 - Zeile 43 ---	3
X	IBM TECHNICAL DISCLOSURE BULLETIN. Bd. 25, Nr. 11A, April 1983, NEW YORK US Seiten 5672 - 5673 B. EL-KAREH ET AL. 'BIPOLAR ONE-DEVICE RANDOM-ACCES MEMORY CELL.' siehe Abbildung 1	1,2,4
Y	siehe Seite 5672, Absatz 3 ---	3
Y	US,A,4 393 574 (KABUSHI KAISHA DAINI SEIKOSHA) 19. Juli 1983 siehe Anspruch 1	3
A	siehe Abbildungen 3A-3C ---	1,2,4
	--- -/-	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

'A' Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

'E' älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

'L' Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

'O' Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

'P' Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

'T' Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

'X' Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

'Y' Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

'Z' Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

11. Juli 1994

Absendedatum des internationalen Recherchenberichts

28. 07. 94

 Name und Postanschrift der Internationale Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
 Fax (+ 31-70) 340-3016

Bevollmächtigter Bediensteter

Vancraeynest, F

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO,A,87 06060 (FAIRCHILD SEMICONDUCTOR CORP.) 8. Oktober 1987 siehe Ansprüche 12-19 ---	1
A	PATENT ABSTRACTS OF JAPAN vol. 16, no. 108 (E-1179) 17. März 1992 & JP,A,03 283 636 (NIPPON SOKEN INC.) 13. Dezember 1991 siehe Zusammenfassung -----	1-4

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP-A-0405183	02-01-91	US-A- 4908328 JP-A- 3034347	13-03-90 14-02-91
US-A-4393574	19-07-83	KEINE	
WO-A-8706060	08-10-87	KEINE	

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.